

Docket No.: P2002,0696

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Andreas Jakobs
Filed : Concurrently herewith
Title : Integrated Memory and Method for Setting the Latency in the Integrated Memory

CLAIM FOR PRIORITY

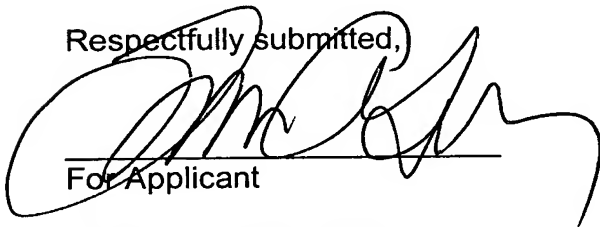
Hon. Commissioner for Patents,
Alexandria, VA 22313-1450

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 39 322.2, filed August 27, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



For Applicant

LAURENCE A. GREENBERG
REG. NO. 29,308

Date: August 27, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/kf



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 39 322.2

Anmeldetag: 27. August 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Integrierter Speicher und Verfahren zur Einstellung
der Latenzzeit im integrierten Speicher

IPC: G 11 C 11/407

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 28. Juli 2003
Deutsches Patent- und Markenamt
Der Präsident
In Auftrag

Beschreibung

Integrierter Speicher und Verfahren zur Einstellung der Latenzzeit im integrierten Speicher

5

Technisches Gebiet

Die Erfindung betrifft einen integrierten Speicher mit einstellbarer Latenzzeit und ein Verfahren zur Einstellung der Latenzzeit im integrierten Speicher. Die Erfindung ist insbesondere in dynamischen Speichern mit wahlfreiem Zugriff, auch als dynamic random access memories (DRAM) bezeichnet, und synchronen DRAMs (SDRAM) einsetzbar.

15

Ein integrierter Speicher weist im allgemeinen ein Speicherzellenfeld auf, das Wortleitungen und Bitleitungen umfasst. Die Speicherzellen sind dabei in den Kreuzungspunkten der Bitleitungen und Wortleitungen angeordnet und über jeweils einen Auswahltransistor, dessen Steuereingang mit einer der Wortleitungen verbunden ist, mit der Bitleitung verbunden, über die ein Datensignal ausgelesen beziehungsweise eingeschrieben wird. Für einen Speicherzugriff empfängt eine Steuerschaltung zur Steuerung des Speicherzugriffs im allgemeinen einen Zugriffsbefehl in Form eines Lesebefehls oder eines Schreibbefehls. Zum Auslesen oder Schreiben eines Datensignals wird der jeweilige Auswahltransistor von den entsprechenden Speicherzellen durch eine aktivierte Wortleitung leitend geschaltet, wodurch im Anschluss das Auslesen oder Schreiben des Datensignals einer ausgewählten Speicherzelle erfolgen kann.

25
30

Stand der Technik

35

In der synchronen, das heißt taktgesteuerten Datenkommunikation liegt zwischen dem Befehl, der die Datenübertragung ein-

leitet und der eigentlichen Datenübertragung eine gewisse
Zeitspanne, die sogenannte Datenlatenz. Erhält in einem Com-
putersystem, bestehend aus einem Prozessor und einem Spei-
cherbaustein, der Speicherbaustein vom Prozessor, so schickt der
mit der gewünschten Adresse die angeforderten Daten an den
Prozessor. Die Daten werden dabei nicht unmittelbar, sondern
eine vorher eingestellte feste Anzahl Takte, die sogenannte
CAS-Latenz CL, welche auch mit RL bezeichnet wird, später an
den Prozessor gesandt. Hier schickt der Prozessor nach dem Schreib-
Schreibvorgang. Hier schickt der Prozessor nach dem Schreib-
befehl die Daten, um eine Schreib-Latenz WL verzögert, an den
Speicherbaustein.

Sowohl die RL-Latenz für den Lesebefehl als auch die WL-
Latenz für den Schreibbefehl werden im Mode-Register des
Speicherbausteins meist beim Systemstart fest eingestellt.

Die Größe der RL- bzw. WL-Latenz hängt von der absoluten
Zeit, die der Speicherbaustein benötigt, um die Daten bereit-
zustellen und von der Periodendauer des Systemtakts ab. Die
Latenz wird definiert als Verhältnis von Zeitdauer für die
Bereitstellung der Daten zu Taktperiode. Das heißt, die La-
tenz, gemessen in Takten wird um so größer, je höher die
Taktfrequenz wird. Benötigt der Speicherbaustein für einen
Lesevorgang beispielsweise 30 ns und liegt ein Systemtakt von
100 MHz an, was einer Taktperiode von 10 ns entspricht, er-
gibt sich eine Latenz von 3 Takten. Liegt hingegen ein Sy-
stemtakt von 10 MHz an, was einer Taktperiode von 100 ns ent-
spricht, ergibt sich eine Latenz von 0,3 Takten.

In vielen mobilen Applikationen, beispielsweise bei personal
digital assistants (PDA), wird die Taktfrequenz variiert, um
Energie zu sparen, denn die verbrauchte Energie steigt mit
dem Quadrat der Taktfrequenz. Dabei passt die eingestellte
Latenz aber immer nur zu einer bestimmten Taktfrequenz. In
der Regel wird die Latenz dabei auf die höchste vorkommende

Taktfrequenz eingestellt. Wird die Taktfrequenz abgesenkt, ist die Latenz unnötig lang, was sich negativ auf den Datendurchsatz im System auswirkt. Um die Latenz zu ändern, ist ein erneutes Beschreiben des Mode-Registers nötig, was aber
5 relativ viele Taktzyklen in Anspruch nimmt.

In der noch nicht veröffentlichten deutschen Patentanmeldung 10124278.6 ist ein integrierter Speicher beschrieben, bei dem die CAS-Latenz zusammen mit dem Zugriffsbefehl, also dem
10 Schreib- oder dem Lesebefehl, empfangen werden. Dazu ist im integrierten Speicher eine Steuerschaltung vorhanden, mittels der die CAS-Latenz zusammen mit dem Zugriffsbefehl empfangen werden. Diese Lösung hat den Nachteil, dass für die Übermittlung der CAS-Latenz zusätzliche Signaleingänge und damit zu-
15 sätzliche Pins am Speicher erforderlich sind.

Darstellung der Erfindung

20 Eine Aufgabe der Erfindung ist es, einen Speicher und ein Verfahren zur Einstellung der Latenzzeit des integrierten Speichers anzugeben, bei dem die Einstellung der Latenzzeit möglichst wenig Zeit in Anspruch nimmt, das heißt nach möglichst wenigen Takten erfolgt.

25

Vorteilhafterweise sind für den integrierten Speicher nur wenige externe Anschlüsse erforderlich.

Die Aufgabe wird durch einen integrierten Speicher mit den in
30 Patentanspruch 1 angegebenen Merkmalen und ein Verfahren zur Einstellung der Latenzzeit des integrierten Speichers mit den in Patentanspruch 9 angegebenen Merkmalen gelöst.

Mit der Erfindung kann die Datenübertragung in einem synchro-
35 nen System mit variabler Taktfrequenz dahingehend optimiert werden, dass alle Vorgänge zur Datenübertragung mit optimaler, das heißt an die Taktfrequenz angepasster Latenz ausge-

führt werden können. Einbußen durch wiederholtes Umprogrammieren des Mode-Registers sind nunmehr hinfällig.

Der erfindungsgemäße integrierte Speicher mit Adresseingängen
5 zum Anlegen einer Zeilenadresse oder einer Spaltenadresse und
eines Latenzzeitwerts weist einen Befehlsdecoder mit einem
Signaleingang auf und ist derart ausgebildet, dass anhand ei-
nes am Signaleingang anliegenden Signals bestimmbar ist, ob
10 es sich bei der an den Adresseingängen anliegenden Adresse um
die Zeilen- oder um die Spaltenadresse handelt. Zudem ist ei-
ne Auswerteeinheit, welche dem Befehlsdecoder nachgeschaltet
ist und Auswerteeingänge aufweist, vorgesehen, welche mit den
Adresseingängen verbunden sind und die derart ausgebildet
15 ist, dass, falls eine Spaltenadresse anliegt, ein um den La-
tenzzeitwert verzögertes Ausgangssignal an einem Ausgang der
Auswerteeinheit anliegt.

Das erfindungsgemäße Verfahren zur Einstellung der Latenzzeit
in einem integrierten Speicher, weist folgende Schritte auf.
20 An Adresseingängen des Speichers werden eine Spaltenadresse
und ein Latenzzeitwert angelegt. Falls eine Speicherzugriffs-
befehl anliegt, wird mittels einer Auswerteeinheit anhand des
Latenzzeitwert ein Latenzsignal erzeugt.

25 Vorteilhafte Weiterbildungen der Erfindung ergeben sich aus
den in den abhängigen Patentansprüchen angegebenen Merkmalen.

So ist es von Vorteil, wenn der Befehlsdecoder einen Befehls-
eingang zum Anlegen eines Zugriffsbefehls aufweist und so
30 ausgebildet ist, dass dieser bei Anliegen eines Zugriffsbefehls
ein Steuersignal an die Auswerteeinheit sendet. Die
Auswerteeinheit ist zudem so ausgebildet, dass sie das La-
tenzsignal dann erzeugt, wenn das Steuersignal anliegt.

35 In einer Ausführungsform der Erfindung sind die Auswertein-
gänge mit den Adresseingängen verbunden, welche die höchst-
wertigen Bits führen. Damit kann auf einfache Weise erreicht

werden, dass der Speicher mit konventionellen Speicherbausteinen kompatibel ist, weil die Pinbelegung für die Zeilen- und Spaltenadressen der bisherigen Pinbelegung bei integrierten Speicherbausteinen entspricht.

5

In einer weiteren Ausführungsform der Erfindung ist eine zweite Auswerteeinheit mit zweiten Auswerteeingängen und einem zweiten Ausgang vorgesehen, welche dem Befehlsdecoder nachgeschaltet ist. Deren zweite Auswerteeingänge sind mit den Adresseingängen verbunden. Die zweite Auswerteeinheit ist derart ausgebildet, dass falls eine Spaltenadresse anliegt und der Befehlsdecoder als Zugriffsbefehl einen Schreibbefehl decodiert, der Latenzzeitwert in ein Schreiblatenzsignal umgesetzt am Ausgang anliegt.

10

15

Vorteilhafterweise ist der Auswerteeinheit ein Datenpfad nachgeschaltet, der derart ausgebildet ist, dass er abhängig von der durch die Auswerteeinheit vorgegebene Latenz Daten von einem Speicherfeld auf Ausgangstreiber schaltet.

20

Zudem ist es von Vorteil, wenn der Datenpfad so ausgebildet ist, dass er abhängig von der durch die zweite Auswerteeinheit vorgegebene Latenz Daten von Eingangstreibern zum Speicherfeld schaltet.

25

Ferner kann zwischen die Adresseingänge und die Auswerteeingänge ein Adresszwischenspeicher geschaltet sein.

30

In einer weiteren Ausführungsform der Erfindung kann zwischen den Befehlsdecoder und die Auswerteeinheiten ein Befehlswischenspeicher geschaltet sein.

35

Kurze Beschreibung der Zeichnungen

Im Folgenden wird die Erfindung anhand von zwei Figuren weiter erläutert.

Figur 1 zeigt den prinzipiellen Aufbau eines integrierten Speichers gemäß der Erfindung in Form eines Blockschaltbilds.

5

Figur 2 zeigt beispielhaft die Aufteilung einer Adresse zur Adressierung des Speicherfelds und zur Übermittlung eines Latenzzeitwerts in tabellarischer Form.

10

Wege zur Ausführung der Erfindung

Die Adresse zur Adressierung des Speicherfelds teilt sich aufgrund der matrixförmigen Organisation des Speicherfelds in eine Zeilenadresse zur Adressierung der Zeile des Speicherfelds und eine Spaltenadresse zur Adressierung der Spalte des Speicherfelds auf. Um die Anzahl der Adresseingänge des integrierten Speichers gering zu halten, werden die Zeilenadresse und die Spaltenadresse nicht gleichzeitig, sondern im Multiplexverfahren an die Adresseingänge des Speichers angelegt. Mittels eines Steuersignals wird dem Speicherbaustein mitgeteilt, um welche Art der Adresse es sich handelt, ob gegenwärtig also eine Zeilenadresse oder eine Spaltenadresse an den Adresseingängen anliegt.

25

Stehen mehr Adresseingänge oder Adressleitungen zur Verfügung als für die Adressierung der Spalten des Speicherfelds erforderlich sind, können die für die Adressierung nicht genutzten Bits anderweitig verwendet werden. Anhand eines Beispiels soll dies näher erläutert werden. Bei einem 512 Mbit Speicher werden 20 Bits für die Übertragung der gesamten Adresse benötigt. Dazu werden 12 Bits als Zeilenadresse und 8 Bits als Spaltenadresse übertragen, wobei jedoch 14 Adressleitungen oder Adresseingänge zur Verfügung stehen. Das bedeutet, dass bei der Übertragung der Spaltenadresse 6 Bits für andere Zwecke genutzt werden können. In der Regel sind dies die höchstwertigen Bits.

30

35

Bei dem erfindungsgemäßen Speicher werden diese Bits dazu benutzt, um eine Information über die gewünschte oder erforderliche Latenzzeit oder Latenz zu übertragen. Bei einem 14 Bit breiten Adressbus können beispielsweise die höchstwertigen 8 Adressbits, wenn die Spaltenadresse übermittelt wird, zur Übermittlung der Latenzzeit benutzt werden. In diesem Fall sind 64 verschiedene Latenzzeiten vorgebbar. Es ist jedoch nicht zwingend erforderlich alle 8 zur Verfügung stehenden Adressleitungen zur Übermittlung des Latenzzeitwerts zu benutzen. Genügen 8 verschiedene Latenzzeiten werden lediglich drei Adressleitungen benötigt.

Figur 1 zeigt in Form eines Blockschaltbilds eine mögliche Ausführungsform des erfindungsgemäßen integrierten Speichers (S). An den Eingängen A1, A2 ... A14 des Adress-Zwischenspeichers 1 liegt die Adresse ADD an. Der Inhalt der Adresse ADD wird mit dem Taktsignal CLK durch den Befehl ADDhold in den Zwischenspeicher 1 übernommen. Der Befehl ADDhold stammt vom Befehlsdecoder 2, welcher aus den an seinen Eingängen 20 bis 24 anliegenden Signalen CKE, CS, RAS, CAS, WE den Befehl ADDhold und den Schreib-/Lesebefehl CMD, auch Steuerbefehl genannt, erzeugt. Dabei ist das Signal CKE die Taktfreigabe, auch clock enable genannt, das Signal CS die Chipauswahl, auch chip select genannt, das Signal RAS der Zeilenadress-Strobe, auch row address strobe genannt, das Signal CAS der Spaltenadress-Strobe, auch column address strobe genannt und das Signal WE die Schreibfreigabe, auch write enable genannt. Der Befehlsdecoder 2 erkennt anhand den an den Eingängen 22 und 23 anliegenden Signalen RAS bzw. CAS, ob es sich bei der Adresse ADD, welche an den Adresseingängen A1, A2 bis A14 anliegt, um eine Zeilenadresse oder eine Spaltenadresse handelt.

Dekodiert der Befehlsdecoder 2 anhand der Signale RAS/CAS eine Spaltenadresse und zudem anhand des Signals WE den Befehl Lesen, dann leitet er an einen Befehlsspeicher 3 als Schreib-

/Lesebefehl CMD den Befehl Lesen weiter. An einem ersten Ausgang 30 des Befehlsspeichers 3 liegt dann der Befehl RLupdate an. Dieser bewirkt, dass eine Auswerteeinheit 4, welche dem Befehlsspeicher 3 nachgeschaltet ist, die an ihrem Eingang AE1 anliegenden höherwertigen Adressbits hADD ausgewertet. Die höherwertigen Adressbits hADD sind Teil der vom Adress-Zwischenspeicher 1 zwischengespeicherten Adresse ADDin. Bei einer beispielsweise 14 Bit breiten zwischengespeicherten Adresse ADDin werden acht Adressbits lADD, welche die niederwertigen Adressbits sind, auf bekannte Art und Weise mittels den Logikeinheiten Burst-Counter und Zeilen/Datenpfad weiterverarbeitet und im Folgenden daher nicht weiter beschrieben. Die verbleibenden sechs höherwertigen Adressbits lADD werden, wie erwähnt, der ersten Auswerteeinheit 4 zugeführt. Die erste Auswerteeinheit 4 bestimmt daraus eine beispielsweise 2 Bit breite Read-Latenz RL. Diese liegt dann am Datenpfad 6 an und bewirkt, dass die von einem Speicherzellenfeld 9 stammen Daten D mit der Read-Latenz RL verzögert synchron als Ausgangsdaten Dout auf die Ausgangstreiber 7 geführt werden.

Der Latenzzeitwert wird also zusammen mit dem Lesebefehl übertragen. Die Latenz RL wird dabei an die gerade vorhandene Taktfrequenz CLK angepasst und kann sowohl als absolute Latenz als auch als Differenz zur derzeit im Mode-Register eingestellten Latenz übertragen werden.

Dekodiert der Befehlsdecoder 2 anhand des Signals WE einen Schreibbefehl und erkennt, dass an den Adresseingängen A1, A2 bis A14 eine Spaltenadresse anliegt, so erzeugt er als Schreib-/Lesebefehl CMD einen Schreibbefehl, welcher im Befehlsspeicher 3 gespeichert wird und als Befehl WLupdate über den Ausgang 31 des Befehlsspeichers 3 einer zweiten Auswerteeinheit 5 zugeführt wird. An der zweiten Auswerteeinheit 5 liegen ebenfalls die höherwertigen Adressbits hADD der zwischengespeicherten Adresse ADDin an. Die zweite Auswerteeinheit 5 wertet ähnlich wie die erste Auswerteeinheit 4 die höherwertigen Adressbits hADD aus und erzeugt daraus eine

Write-Latenz WL, welche dann an einem weiteren Eingang des Datenpfads 6 anliegt. Der Datenpfad 6 legt die von den Eingangstreibern 8 stammenden Eingangsdaten Din um die Write-Latenz WL verzögert als Daten D im Speicherzellenfeld 9 ab.

5

Der Latenzzeitwert wird zusammen mit dem Schreibbefehl und der Spaltenadresse übertragen. Die Schreib-Latenz WL kann dabei an die gerade vorhandene Taktfrequenz CLK angepasst werden. Es kann sowohl die gewünschte absolute Latenz als auch
10 die Differenz zur derzeit im Mode-Register eingestellten Latenz übertragen werden.

In Figur 2 ist in Form einer Tabelle ein Beispiel für die Aufteilung der Adresspins gezeigt. Falls die übermittelte
15 Adresse ADD sich aus einem Latenzzeitwert und einer Spaltenadresse zusammensetzt, dies ist der Fall wenn das Signal CAS aktiv ist, werden die höherwertigen Adressbits, die an den Adresspins A9, A10 bis A14 anliegen für die Übermittlung des Latenzzeitwerts benutzt. Die Adresspins A9, A10 bis A14 sind
20 in der Tabelle in Figur 2 als Latenzzeitpins bezeichnet. Die niederwertigen Adressbits, die an den Adresspins A1 bis A8 anliegen, werden für die Übermittlung der Spaltenadresse benutzt. Um beispielsweise die Latenzzeit 1 einzustellen, wird das Bit am Latenzzeitpin A9 auf den Wert 1 gesetzt, wohingegen die Bits an den Latenzzeitpins A10 bis A14 auf den Wert 0
25 gesetzt werden.

Falls das Signal RAS aktiv ist, liegen an den Adresspins A1 bis A14 die Bits der Zeilenadresse an.

30

Die Erfindung ist nicht beschränkt auf die Verwendung eines 14 Bit breiten Adressbusses. Dieser soll lediglich als Beispiel zum besseren Verständnis der Erfindung dienen.

Patentansprüche

1. Integrierter Speicher mit Adresseingängen (A1, A2, ... A14) zum Anlegen einer Zeilenadresse oder einer Spaltenadresse und eines Latenzzeitwerts,
5 mit einem Befehlsdecoder (2), welcher einen Signaleingang (22, 23) aufweist und derart ausgebildet ist, dass anhand eines am Signaleingang (22, 23) anliegenden Signals (RAS, CAS) bestimmbar ist, ob es sich bei der an den Adresseingängen
10 (A1, A2, ... A14) anliegenden Adresse (ADD) um die Zeilen- oder um die Spaltenadresse handelt,
mit einer Auswerteeinheit (4), welche dem Befehlsdecoder (2) nachgeschaltet ist und Auswerteeingänge (AE1) aufweist, welche mit den Adresseingängen (A8, A9, ... A14) verbunden sind,
15 wobei die Auswerteeinheit (4) derart ausgebildet ist, dass, falls eine Spaltenadresse anliegt, ein dem Latenzzeitwert entsprechendes Latenzsignal (RL) an einem Ausgang der Auswerteeinheit (4) anliegt.
- 20 2. Speicher nach Anspruch 1,
bei dem der Befehlsdecoder (2) einen Befehlseingang (24) zum Anlegen eines Zugriffsbefehls (WE) aufweist und so ausgebildet ist, dass dieser bei Anliegen eines Zugriffsbefehls (WE) ein Steuersignal (CMD) an die Auswerteeinheit (4) sendet, und
25 bei dem die Auswerteeinheit so ausgebildet ist, dass sie das Latenzsignal (RL) erzeugt, wenn das Steuersignal (CMD) anliegt.
3. Speicher nach Anspruch 1 oder 2,
30 bei dem die Auswerteeingänge (AE1) mit den Adresseingängen (A8, A9, ... A14) verbunden sind, welche die höchstwertigen Bits führen.
4. Speicher nach Anspruch 1, 2 oder 3,
35 bei dem eine zweite Auswerteeinheit (5) mit zweiten Auswerteeingängen (AE2) und einem zweiten Ausgang (AA2) vorgesehen ist, welche dem Befehlsdecoder (2) nachgeschaltet ist, deren

zweite Auswerteeingänge (AE2) mit den Adresseingängen (A8, A9, ... A14) verbunden sind und die derart ausgebildet ist, dass falls eine Spaltenadresse anliegt und der Befehlsdecoder (2) einen Schreibbefehl decodiert, der Latenzzeitwert in ein
5 Schreiblatenzzeitsignal (WL) umgesetzt am Ausgang (AA2) anliegt.

5. Speicher nach einem der Ansprüche 1 bis 4, bei dem der Auswerteeinheit (4) ein Datenpfad (6) nachgeschaltet ist, der derart ausgebildet ist, dass er abhängig von der durch die Auswerteeinheit (4) vorgegebene Latenzzeit
10 Daten (Dout) von einem Speicherfeld (9) auf Ausgangstreiber (7) schaltet.

15 6. Speicher nach Anspruch 5, bei dem der Datenpfad (6) zudem so ausgebildet ist, dass er abhängig von der durch die zweite Auswerteeinheit (5) vorgegebene Schreiblatenz Daten (Din) von Eingangstreibern (8) zum Speicherfeld (9) schaltet.

20 7. Speicher nach einem der Ansprüche 1 bis 6, bei dem zwischen die Adresseingänge (A1, A2, ... A14) und die Auswerteeingänge (AE1, AE2) ein Adresszwischenpeicher (1) geschaltet ist.

25 8. Speicher nach einem der Ansprüche 1 bis 7 bei dem zwischen den Befehlsdecoder (2) und die Auswerteeinheiten (4, 5) ein Befehlszwischenpeicher (3) geschaltet ist.

30 9. Verfahren zur Einstellung der Latenzzeit in einem integrierten Speicher, bei dem an Adresseingängen (A1, A2, ... A14) des Speichers (S) eine Spaltenadresse und ein Latenzzeitwert angelegt werden,

35 bei dem überprüft wird, ob am Speicher (S) ein Speicherzugriffsbefehl (WE) anliegt, bei dem, falls ein Speicherzugriffsbefehl (WE) anliegt, mit-

tels einer Auswerteeinheit (4, 5) anhand des Latenzzeitwerts ein Latenzssignal (RL, WL) erzeugt wird.

10. Verfahren nach Anspruch 9,

- 5 bei dem ein Speicherzugriffsbefehl (WE) vorliegt, wenn ein Lesebefehl oder ein Schreibbefehl decodiert wird.

Zusammenfassung

Integrierter Speicher und Verfahren zur Einstellung der Latenzzeit in einem integrierten Speicher

5

Der erfindungsgemäße integrierte Speicher (S) mit Adresseingängen (A1, A2, ... A14) zum Anlegen einer Zeilenadresse oder einer Spaltenadresse und eines Latenzzeitwerts, weist einen Befehlsdecoder (2) mit einem Signaleingang (22, 23) auf. Der

10


Befehlsdecoder (2) bestimmt anhand eines am Signaleingang (22, 23) anliegenden Signals (RAS, CAS), ob es sich bei der an den Adresseingängen (A1, A2, ... A14) anliegenden Adresse (ADD) um die Zeilen- oder um die Spaltenadresse handelt. Mit einer Auswerteeinheit (4), welche dem Befehlsdecoder (2)

15

nachgeschaltet ist und Auswerteeingänge (AE1) aufweist, welche mit den Adresseingängen (A8, A9, ... A14) verbunden sind, wird, falls eine Spaltenadresse anliegt, ein dem Latenzzeitwert entsprechendes Latenzsignal (RL) an einem Ausgang der Auswerteeinheit (4) angelegt.

20

Figur 1

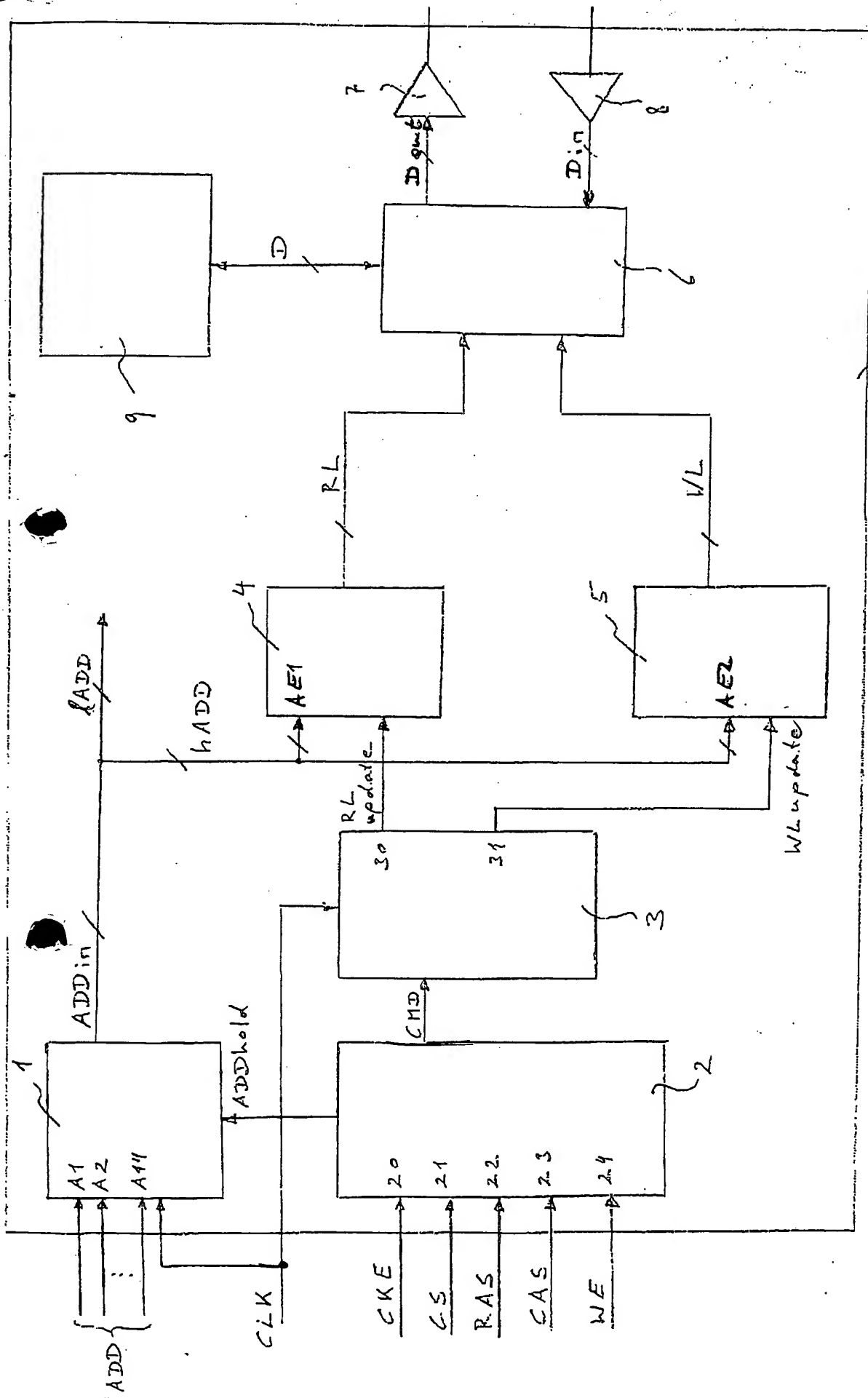


Bezugszeichenliste

14

S	ADD	integrierter Speicher
5	CLK	Adresse
	CKE	Takt
	CS	Takt Enable
	RAS	Chip Select
10	CAS	row address strobe
	WE	column address strobe
	ADDhold	write enable
	CMD	Adressspeicherbefehl
	RLupdate	Schreib-/Lesebefehl
	WLupdate	Read-Latenz update
15	hADD	Write-Latenz update
	lADD	höherwertige Adressbits
	RL	niederwertige Adressbits
	WL	Read-Latenz
20	Dout	Write-Latenz
	Din	Datenausgang
	D	Dateneingang
1		Daten
2		Zwischenspeicher
3		Befehlsdecoder
4		Befehlsspeicher
5		Leseauswertelogik
6		Schreibauswertelogik
7		Datenpfad
8		Ausgangstreiber
30		Eingangstreiber
20		Speicherzellenfeld
21		Takt-Enable-Eingang
22		Chip-Select-Eingang
35		Row-Address-Eingang
24		Column-Address-Eingang
30		Write-Enable-Eingang
31		erster Ausgang des Befehlsspeichers
		zweiter Ausgang des Befehlsspeichers

A1	Adresseingang 1
A2	Adresseingang 2
A14	Adresseingang 14



112

Fig. 1

2 / 2

Latenz-zeit	Adresse					
	ADD= Latenzzeitwert + Spaltenadresse wenn CAS = aktiv				ADD= Zeilenadresse wenn RAS = aktiv	
	Latenzzeitpins				Adresspins	Adresspins
	A14	...	A10	A9	A8 - A1	A14 - A1
Latenz-zeit 1	0	0	0	1	x	x
Latenz-zeit 2	0	0	1	0	x	x
					x	x
Latenz-zeit n	1	1	1	1	x	x

FIG. 2